

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-272570

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G06F 13/00

G06F 5/00

G06F 9/06

G06F 12/14

(21)Application number : 10-075483

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 24.03.1998

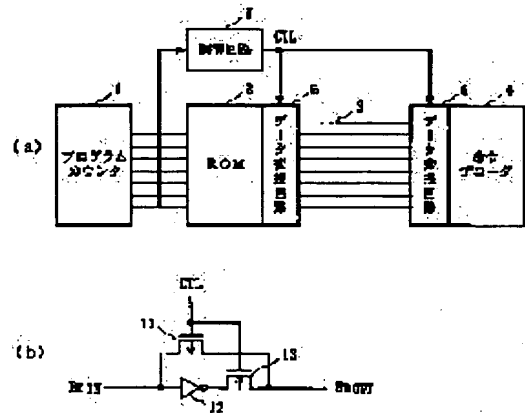
(72)Inventor : SAKATA TATATOMI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To realize a security function for illegal reading of data of a bus line.

SOLUTION: An address to be outputted from a program counter 1 to a ROM 2 is detected, when the detected address is an even number, a control signal CTL is defined as an 'L' level and when the detected address is an odd number, the control signal CTL is defined as an 'H' level by a control circuit 7. When the signal CTL is 'L', data conversion is not performed by data transforming circuits 5, 6. When the signal CTL is 'H', the data outputted from the ROM 2 is logically inverted by the data transforming circuit 5, outputted to a bus 3, is further and logically inverted by the data transforming circuit 6 and outputted to an instruction decoder 4.



## LEGAL STATUS

[Date of request for examination] 24.03.1998

[Date of sending the examiner's decision of rejection] 14.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 11-20804

[Date of requesting appeal against examiner's decision of rejection] 28.12.1999

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-272570

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 13/00

3 0 1

C 0 6 F 13/00

3 0 1 R

5/00

5/00

Z

9/06

5 5 0

9/06

5 5 0 B

12/14

3 2 0

12/14

3 2 0 B

審査請求 有 請求項の数7 O L (全 9 頁)

(21) 出願番号

特願平10-75483

(22) 出願日

平成10年(1998)3月24日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 坂田 忠臣

神奈川県川崎市中原区小杉町1丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

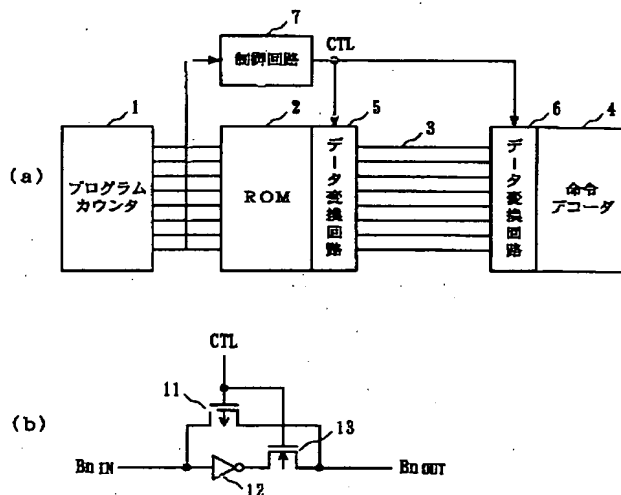
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 バスラインの不正なデータ読み出しに対するセキュリティ機能を実現する。

【解決手段】 制御回路7は、プログラムカウンタ1からROM2へ出力されるアドレスを検出し、検出アドレスが偶数であれば制御信号CTLを「L」レベルとし、検出アドレスが奇数であれば制御信号CTLを「H」レベルとする。信号CTLが「L」の場合、データ変換回路5、6はデータ変換を行わない。信号CTLが「H」の場合、ROM2から出力されたデータは、データ変換回路5で論理反転されてバス3に出力され、更にデータ変換回路6で論理反転されて命令デコーダ4に出力される。



## 【特許請求の範囲】

【請求項1】 複数ビットのデータを出力する第1の回路と前記データを受け取る第2の回路との間がバスで接続された半導体集積回路のデータ転送方式において、第1の回路とバスとの間に設けられ、第1の回路から出力されたデータを第1の変換規則で変換してバスに出力する第1のデータ変換回路と、

バスと第2の回路との間に設けられ、バスから出力されたデータを第2の変換規則で変換して元のデータに戻し第2の回路に出力する第2のデータ変換回路とを有することを特徴とする半導体集積回路のデータ転送方式。

【請求項2】 請求項1記載の半導体集積回路のデータ転送方式において、

前記第1の回路はメモリであり、

第1の回路からデータを読み出すためのアドレス信号に基づいて、前記第1、第2のデータ変換回路に前記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有することを特徴とする半導体集積回路のデータ転送方式。

【請求項3】 請求項1記載の半導体集積回路のデータ転送方式において、

外部からの命令に基づいて、前記第1、第2のデータ変換回路に前記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有することを特徴とする半導体集積回路のデータ転送方式。

【請求項4】 請求項1記載の半導体集積回路のデータ転送方式において、

前記第1、第2のデータ変換回路は、前記第1、第2の変換規則として論理反転を行うものであることを特徴とする半導体集積回路のデータ転送方式。

【請求項5】 請求項1記載の半導体集積回路のデータ転送方式において、

前記第1、第2のデータ変換回路は、前記第1、第2の変換規則として上位の複数ビットと下位の複数ビットの入れ替えを行うものであることを特徴とする半導体集積回路のデータ転送方式。

【請求項6】 請求項1記載の半導体集積回路のデータ転送方式において、

前記第1、第2のデータ変換回路は、前記第1、第2の変換規則として最上位ビットと最下位ビットの入れ替えを行うものであることを特徴とする半導体集積回路のデータ転送方式。

【請求項7】 請求項1記載の半導体集積回路のデータ転送方式において、

前記第1のデータ変換回路は、前記第1の変換規則として所定のビット数の左又は右ローテートを行うものであり、

前記第2のデータ変換回路は、前記第2の変換規則として第1の変換規則と逆方向の所定のビット数の右又は左ローテートを行うものであることを特徴とする半導体集

積回路のデータ転送方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータ等の半導体集積回路に係り、特にデータ転送用のバスラインを有している半導体集積回路のデータ転送方式に関するものである。

## 【0002】

【従来の技術】従来より、マイクロコンピュータ等の半導体集積回路では、ROM（リードオンリメモリ）よりプログラムを読み出して実行していた。図6は従来のマイクロコンピュータ等の半導体集積回路のROM周辺のブロック図である。プログラムカウンタ1によってアドレスリングされたROM2のバイナリデータはバス3上にパラレルに出力され、命令デコーダ4に送られる。

## 【0003】

【発明が解決しようとする課題】以上のようなマイクロコンピュータ等の半導体集積回路では、通常、バスラインを流れるデータの論理が正論理又は負論理に固定されており、かつバスにプローブ等を当てることでバスラインのデータを不正に読み出すことができるため、ROMに記憶されたプログラムを推定することができる等のセキュリティ上の問題があった。本発明は、上記課題を解決するためになされたもので、バスラインの不正なデータ読み出しに対するセキュリティ機能を実現することができる半導体集積回路のデータ転送方式を提供することを目的とする。

## 【0004】

【課題を解決するための手段】本発明は、請求項1に記載のように、複数ビットのデータを出力する第1の回路と上記データを受け取る第2の回路との間がバスで接続された半導体集積回路のデータ転送方式において、第1の回路とバスとの間に設けられ、第1の回路から出力されたデータを第1の変換規則で変換してバスに出力する第1のデータ変換回路と、バスと第2の回路との間に設けられ、バスから出力されたデータを第2の変換規則で変換して元のデータに戻し第2の回路に出力する第2のデータ変換回路とを有するものである。このように、第1の回路から出力されたデータを第1のデータ変換回路で変換してバスに出力し、バスから出力されたデータを第2の変換回路で変換して元のデータに戻すことにより、バス上を流れるデータを本来のデータとは異なるものにすることができる。また、請求項2に記載のように、上記第1の回路はメモリであり、第1の回路からデータを読み出すためのアドレス信号に基づいて、上記第1、第2のデータ変換回路に上記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有するものである。また、請求項3に記載のように、外部からの命令に基づいて、上記第1、第2のデータ変換回路に上記データ変換を行わせるか或いは入

力データをそのまま出力させるかを決定する制御回路を有するものである。

【0005】また、請求項4に記載のように、上記第1、第2のデータ変換回路は、上記第1、第2の変換規則として論理反転を行うものである。また、請求項5に記載のように、上記第1、第2のデータ変換回路は、上記第1、第2の変換規則として上位の複数ビットと下位の複数ビットの入れ替えを行うものである。また、請求項6に記載のように、上記第1、第2のデータ変換回路は、上記第1、第2の変換規則として最上位ビットと最下位ビットの入れ替えを行うものである。また、請求項7に記載のように、上記第1のデータ変換回路は、上記第1の変換規則として所定のビット数の左又は右ローテートを行うものであり、上記第2のデータ変換回路は、上記第2の変換規則として第1の変換規則と逆方向の所定のビット数の右又は左ローテートを行うものである。

【0006】

【発明の実施の形態】〔実施の形態の1〕次に、本発明の実施の形態について図面を参照して詳細に説明する。図1(a)は本発明の第1の実施の形態を示すマイクロコンピュータ等の半導体集積回路のブロック図である。この半導体集積回路は、実行すべき命令が格納されたROM上の位置を示すプログラムカウンタ1と、ROM2と、インストラクションバス3と、命令を解釈する命令デコーダ4と、ROM2から出力されたデータを第1の変換規則で変換してバス3に出力する第1のデータ変換回路5と、バス3から出力されたデータを第2の変換規則で変換して元のデータに戻す第2のデータ変換回路6と、データ変換回路5、6を制御するための制御信号CTLを出力する制御回路7とを有している。

【0007】本実施の形態の半導体集積回路では、ROM2からデータを逐次取り出し、解釈して実行する。ROM2は、プログラムカウンタ1から出力されたアドレスに応じて、このアドレスが示す位置に格納された複数ビットのデータ（本実施の形態では、8ビット）をインストラクションバス3にパレルに出力する。そして、命令デコーダ4は、インストラクションバス3に出力されたデータを取り込み、解釈する。

【0008】このような構成に対し、本実施の形態では、ROM2とインストラクションバス3との間に第1のデータ変換回路5を設け、インストラクションバス3と命令デコーダ4との間に第2のデータ変換回路6を設け、更にデータ変換回路5、6を制御する制御回路7を設けている。

【0009】データ変換回路5、6の構成は同一である。このデータ変換回路5、6の構成を図1(b)に示す。なお、図1(b)では、ROM2から出力される複数ビット（本実施の形態では、8ビット）のデータのうちの1ビット分について示している。つまり、データ変換回路5、6は、Pチャネルトランジスタ11、インバ

ータ12及びNチャネルトランジスタ13をROM2から出力されるデータの各ビットに対応して複数ビット分有する。

【0010】Pチャネルトランジスタ11のドレインは対応するビット入力 $B_{nIN}$  ( $n=0\sim7$ )に接続され、ソースは対応するビット出力 $B_{nOUT}$  ( $n=0\sim7$ )に接続され、ゲートには制御回路7からの制御信号CTLが与えられる。インバータ12の入力は対応するビット入力 $B_{nIN}$  ( $n=0\sim7$ )に接続される。そして、Nチャネルトランジスタ13のドレインはインバータ12の出力に接続され、ソースは対応するビット出力 $B_{nOUT}$  ( $n=0\sim7$ )に接続され、ゲートには制御信号CTLが与えられる。

【0011】ここで、ビット入力 $B_{nIN}$  ( $n=0\sim7$ )は、データ変換回路5においてはROM2の出力データ $B_n$ が入力される端子であり、データ変換回路6においてはインストラクションバス3の出力データ $B_n$ が入力される端子である。また、ビット出力 $B_{nOUT}$  ( $n=0\sim7$ )は、データ変換回路5においてはインストラクションバス3にデータ $B_n$ を出力する端子であり、データ変換回路6においては命令デコーダ4にデータ $B_n$ を出力する端子である。

【0012】制御回路7は、プログラムカウンタ1からROM2へ出力されるアドレスを検出し、この検出アドレスが偶数であれば制御信号CTLを「L」レベルとし、検出アドレスが奇数であれば制御信号CTLを「H」レベルとする。

【0013】制御信号CTLが「L」レベルの場合、データ変換回路5、6内では、トランジスタ11がオンとなり、トランジスタ13がオフとなる。この場合、ROM2から出力された8ビットデータの各ビット $B_0\sim B_7$ は、データ変換回路5内の対応する各トランジスタ11を通してインストラクションバス3に出力され、更にデータ変換回路6内の対応する各トランジスタ11を通して命令デコーダ4に出力される。

【0014】一方、制御信号CTLが「H」レベルの場合、データ変換回路5、6内では、トランジスタ11がオフとなり、トランジスタ13がオンとなる。この場合、ROM2から出力された8ビットデータの各ビット $B_0\sim B_7$ は、データ変換回路5内の対応する各インバータ12によって論理反転された後に各トランジスタ13を通してインストラクションバス3に出力され、更にデータ変換回路6内の対応する各インバータ12によって論理反転された後に各トランジスタ13を通して命令デコーダ4に出力される。

【0015】このように、プログラムカウンタ1から出力されるアドレスが偶数であれば、ROM2から出力されたデータは変換されることなく命令デコーダ4に渡され、アドレスが奇数であれば、ROM2から出力されたデータはデータ変換回路5で変換された後にデータ変換

回路6で元に戻されて命令デコーダ4に渡される。

【0016】したがって、プログラムカウンタ1から出力されるアドレスが偶数か奇数かによって、インストラクションバス3上のデータが論理反転したりしなかったりするので、バス3にプローブ等を当ててデータを不正に読み出したとしても、このデータは本来のデータとは異なり、ROM2に記憶されたデータを推定することは難しい。こうして、バスラインの不正なデータ読み出しに対するセキュリティ機能を実現することができる。

【0017】[実施の形態の2] 図2は本発明の第2の実施の形態を示すデータ変換回路の回路図である。本実施の形態においても、半導体集積回路としての構成は実施の形態の1とほぼ同様である。本実施の形態では、図1のデータ変換回路5、6の代わりに、図2のデータ変換回路5a、6aを用いる。データ変換回路5a、6aの構成は同一である。データ変換回路5a、6aは、ROM2から出力されるデータの各ビットB0～B7に対応して設けられたPチャネルトランジスタ14-0～14-7及びNチャネルトランジスタ15-0～15-7を有する。

【0018】Pチャネルトランジスタ14-0～14-7のドレインは対応するビット入力B0<sub>IN</sub>～B7<sub>IN</sub>に接続され、ソースは対応するビット出力B0<sub>OUT</sub>～B7<sub>OUT</sub>に接続され、ゲートには制御信号CTLが与えられる。また、Nチャネルトランジスタ15-0～15-7のドレインは対応するビット入力B0<sub>IN</sub>～B7<sub>IN</sub>に接続され、ゲートには制御信号CTLが与えられる。

【0019】そして、ROM2からの8ビットデータの下位4ビットB0～B3に対応して設けられたNチャネルトランジスタ15-0～15-3のソースは、該8ビットデータの上位4ビットB4～B7に対応して設けられたPチャネルトランジスタ14-4～14-7のソースに接続されている。また、8ビットデータの上位4ビットB4～B7に対応して設けられたNチャネルトランジスタ15-4～15-7のソースは、該8ビットデータの下位4ビットB0～B3に対応して設けられたPチャネルトランジスタ14-0～14-3のソースに接続されている。

【0020】制御回路7は、実施の形態の1と同様に、プログラムカウンタ1から出力されるアドレスを検出し、この検出結果に応じた制御信号CTLを出力する。制御信号CTLが「L」レベルの場合、データ変換回路5a、6a内では、トランジスタ14-0～14-7がオンとなり、トランジスタ15-0～15-7がオフとなる。

【0021】この場合、ROM2から出力された8ビットデータの各ビットB0～B7は、データ変換回路5a内の対応する各トランジスタ14-0～14-7を通過してインストラクションバス3に出力され、更にデータ変換回路6a内の対応する各トランジスタ14-0～14

-7を通過して命令デコーダ4に出力される。

【0022】一方、制御信号CTLが「H」レベルの場合、データ変換回路5a、6a内では、トランジスタ14-0～14-7がオフとなり、トランジスタ15-0～15-7がオンとなる。この場合、ROM2から出力された8ビットデータの下位4ビットB0～B3は、データ変換回路5a内の各トランジスタ15-0～15-3を通過してインストラクションバス3の上位4ビットB4～B7に出力され、更にデータ変換回路6a内の各トランジスタ15-4～15-7を通過して下位4ビットB0～B3として命令デコーダ4に出力される。

【0023】また、ROM2から出力された8ビットデータの上位4ビットB4～B7は、データ変換回路5a内の各トランジスタ15-4～15-7を通過してインストラクションバス3の下位4ビットB0～B3に出力され、更にデータ変換回路6a内の各トランジスタ15-0～15-3を通過して上位4ビットB4～B7として命令デコーダ4に出力される。

【0024】このように、プログラムカウンタ1から出力されるアドレスが偶数であれば、ROM2から出力されたデータは変換されることなく命令デコーダ4に渡され、アドレスが奇数であれば、ROM2から出力されたデータはデータ変換回路5aで上位4ビットと下位4ビットの入れ替えが行われた後に、データ変換回路6a再び上位4ビットと下位4ビットの入れ替えが行われて命令デコーダ4に渡される。こうして、実施の形態の1と同様の効果を得ることができる。

【0025】[実施の形態の3] 図3は本発明の第3の実施の形態を示すデータ変換回路の回路図である。本実施の形態においても、半導体集積回路としての構成は実施の形態の1とほぼ同様である。本実施の形態では、図1のデータ変換回路5、6の代わりに、図3のデータ変換回路5b、6bを用いる。データ変換回路5b、6bの構成は同一である。データ変換回路5b、6bは、ROM2から出力されるデータの最下位ビットB0に対応して設けられたPチャネルトランジスタ16-0及びNチャネルトランジスタ17-0と、該データの最上位ビットB7に対応して設けられたPチャネルトランジスタ16-7及びNチャネルトランジスタ17-7を有する。

【0026】Pチャネルトランジスタ16-0、16-7のドレインは対応するビット入力B0<sub>IN</sub>、B7<sub>IN</sub>に接続され、ソースは対応するビット出力B0<sub>OUT</sub>、B7<sub>OUT</sub>に接続され、ゲートには制御信号CTLが与えられる。また、Nチャネルトランジスタ17-0、17-7のドレインは対応するビット入力B0<sub>IN</sub>、B7<sub>IN</sub>に接続され、ゲートには制御信号CTLが与えられる。

【0027】そして、Nチャネルトランジスタ17-0のソースは、Pチャネルトランジスタ16-7のソースに接続され、Nチャネルトランジスタ17-7のソース

は、Pチャネルトランジスタ16-0のソースに接続されている。なお、ビット入力 $B1_{IN}$ 、 $B2_{IN}$ 、 $B3_{IN}$ 、 $B4_{IN}$ 、 $B5_{IN}$ 、 $B6_{IN}$ は、それぞれビット出力 $B1_{OUT}$ 、 $B2_{OUT}$ 、 $B3_{OUT}$ 、 $B4_{OUT}$ 、 $B5_{OUT}$ 、 $B6_{OUT}$ に直接接続されている。

【0028】制御信号CTLが「L」レベルの場合、データ変換回路5b、6b内では、トランジスタ16-0、16-7がオンとなり、トランジスタ17-0、17-7がオフとなる。この場合、ROM2から出力された8ビットデータのビット $B0$ 、 $B7$ は、データ変換回路5b内の対応するトランジスタ16-0、16-7を通過してインストラクションバス3のビット $B0$ 、 $B7$ に出力され、更にデータ変換回路6b内の対応するトランジスタ16-0、16-7を通過してビット $B0$ 、 $B7$ として命令デコーダ4に出力される。

【0029】一方、制御信号CTLが「H」レベルの場合、データ変換回路5b、6b内では、トランジスタ17-0、17-7がオンとなり、トランジスタ16-0、16-7がオフとなる。この場合、ROM2から出力された8ビットデータの最下位ビット $B0$ は、データ変換回路5b内のトランジスタ17-0を通過してインストラクションバス3の最上位ビット $B7$ に出力され、更にデータ変換回路6b内のトランジスタ17-7を通過して最下位ビット $B0$ として命令デコーダ4に出力される。

【0030】また、ROM2から出力された8ビットデータの最上位ビット $B7$ は、データ変換回路5b内のトランジスタ17-7を通過してインストラクションバス3の最下位ビット $B0$ に出力され、更にデータ変換回路6b内のトランジスタ17-0を通過して最上位ビット $B7$ として命令デコーダ4に出力される。

【0031】このように、プログラムカウンタ1から出力されるアドレスが偶数であれば、ROM2から出力されたデータは変換されることなく命令デコーダ4に渡され、アドレスが奇数であれば、ROM2から出力されたデータはデータ変換回路5bで最上位ビットと最下位ビットの入れ替えが行われた後に、データ変換回路6b再び最上位ビットと最下位ビットの入れ替えが行われて命令デコーダ4に渡される。こうして、実施の形態の1と同様の効果を得ることができる。

【0032】[実施の形態の4]図4、図5は、本発明の第4の実施の形態を示すデータ変換回路の回路図である。本実施の形態においても、半導体集積回路としての構成は実施の形態の1とほぼ同様である。本実施の形態では、図1のデータ変換回路5、6の代わりに、図4のデータ変換回路5c、図5のデータ変換回路6cを用いる。

【0033】データ変換回路5cは、ROM2から出力されるデータの各ビット $B0 \sim B7$ に対応して設けられたPチャネルトランジスタ18-0 $\sim$ 18-7及びNチ

ャネルトランジスタ19-0 $\sim$ 19-7と、入力データを所定のビット数だけ左シフト（左ローテート）するシフトレジスタ20とを有する。Pチャネルトランジスタ18-0 $\sim$ 18-7のドレインは対応するビット入力 $B0_{IN} \sim B7_{IN}$ に接続され、ソースは対応するビット出力 $B0_{OUT} \sim B7_{OUT}$ に接続され、ゲートには制御信号CTLが与えられる。

【0034】シフトレジスタ20の入力は対応するビット入力 $B0_{IN} \sim B7_{IN}$ に接続されている。そして、Nチャネルトランジスタ19-0 $\sim$ 19-7のドレインはシフトレジスタ20の対応するビット出力に接続され、ソースは対応するビット出力 $B0_{OUT} \sim B7_{OUT}$ に接続され、ゲートには制御信号CTLが与えられる。

【0035】データ変換回路6cは、ROM2から出力されるデータの各ビット $B0 \sim B7$ に対応して設けられたPチャネルトランジスタ21-0 $\sim$ 21-7及びNチャネルトランジスタ22-0 $\sim$ 22-7と、入力データを所定のビット数だけ右シフト（右ローテート）するシフトレジスタ23とを有する。Pチャネルトランジスタ21-0 $\sim$ 21-7のドレインは対応するビット入力 $B0_{IN} \sim B7_{IN}$ に接続され、ソースは対応するビット出力 $B0_{OUT} \sim B7_{OUT}$ に接続され、ゲートには制御信号CTLが与えられる。

【0036】シフトレジスタ23の入力は対応するビット入力 $B0_{IN} \sim B7_{IN}$ に接続されている。そして、Nチャネルトランジスタ22-0 $\sim$ 22-7のドレインはシフトレジスタ23の対応するビット出力に接続され、ソースは対応するビット出力 $B0_{OUT} \sim B7_{OUT}$ に接続され、ゲートには制御信号CTLが与えられる。

【0037】制御信号CTLが「L」レベルの場合、データ変換回路5c、6c内では、トランジスタ18-0 $\sim$ 18-7、21-0 $\sim$ 21-7がオンとなり、トランジスタ19-0 $\sim$ 19-7、22-0 $\sim$ 22-7がオフとなる。この場合、ROM2から出力された8ビットデータの各ビット $B0 \sim B7$ は、データ変換回路5c内の対応する各トランジスタ18-0 $\sim$ 18-7を通過してインストラクションバス3に出力され、更にデータ変換回路6c内の対応する各トランジスタ21-0 $\sim$ 21-7を通過して命令デコーダ4に出力される。

【0038】一方、制御信号CTLが「H」レベルの場合、データ変換回路5c、6c内では、トランジスタ19-0 $\sim$ 19-7、22-0 $\sim$ 22-7がオンとなり、トランジスタ18-0 $\sim$ 18-7、21-0 $\sim$ 21-7がオフとなる。この場合、ROM2から出力された8ビットデータの各ビット $B0 \sim B7$ は、データ変換回路5c内のシフトレジスタ20によって所定のビット数だけ左ローテートされた後に対応する各トランジスタ19-0 $\sim$ 19-7を通過してインストラクションバス3に出力され、更にデータ変換回路6c内のシフトレジスタ23によって所定のビット数だけ右ローテートされた後に対

応する各トランジスタ22-0～22-7を通して命令デコーダ4に出力される。

【0039】このように、プログラムカウンタ1から出力されるアドレスが偶数であれば、ROM2から出力されたデータは変換されることなく命令デコーダ4に渡され、アドレスが奇数であれば、ROM2から出力されたデータはデータ変換回路5cで左ローテートされた後に、データ変換回路6cで右ローテートされて元に戻され命令デコーダ4に渡される。こうして、実施の形態の1と同様の効果を得ることができる。なお、データ変換回路5cで右ローテートして、データ変換回路6cで左ローテートしてもよいことは言うまでもない。

【0040】実施の形態の1～4では、プログラムカウンタ1から出力されるアドレスが奇数のときにデータを変換しているが、偶数のときに変換してもよいことは言うまでもない。この場合は、アドレスが偶数のときに制御信号CTLを「H」レベルにするか、あるいはPチャネルトランジスタとNチャネルトランジスタを入れ替えればよい。

【0041】また、実施の形態の1～4では、制御回路7は、プログラムカウンタ1から出力されるアドレスが奇数のときにデータを変換しているが、CPU（不図示）等から特定の命令を受けたときに、データ変換回路5、6、5a、6a、5b、6b、5c、6cにデータ変換を行わせるようにしてもよく、またアドレスに基づくデータ変換回路の制御と命令に基づく制御を併用してもよい。

【0042】また、実施の形態の1～4では、ROMと命令デコーダ間のデータ転送に本発明を適用しているが、これに限るものではなく、他のデータ転送に適用してもよい。また、転送するデータのビット数も8ビットに限らないことは言うまでもない。

【0043】

【発明の効果】本発明によれば、請求項1に記載のように、第1の回路から出力されたデータを第1のデータ変換回路で変換してバスに出力し、バスから出力されたデータを第2の変換回路で変換して元のデータに戻すことにより、バス上を流れるデータを本来のデータとは異なる

ものにすることができ、データの不正な取得を困難にすることができる。その結果、バスラインの不正なデータ読み出しに対するセキュリティ機能を実現することができる。

【0044】また、請求項2に記載のように、第1の回路からデータを読み出すためのアドレス信号に基づいて、第1、第2のデータ変換回路にデータ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を設けることにより、アドレス信号によってデータが変換されたり変換されなかったりするので、セキュリティ機能を更に向上させることができる。

【0045】また、請求項3に記載のように、外部からの命令に基づいて、第1、第2のデータ変換回路にデータ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を設けることにより、命令によってデータが変換されたり変換されなかったりするので、セキュリティ機能を更に向上させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示す半導体集積回路のブロック図及びデータ変換回路の回路図である。

【図2】 本発明の第2の実施の形態を示すデータ変換回路の回路図である。

【図3】 本発明の第3の実施の形態を示すデータ変換回路の回路図である。

【図4】 本発明の第4の実施の形態を示すデータ変換回路の回路図である。

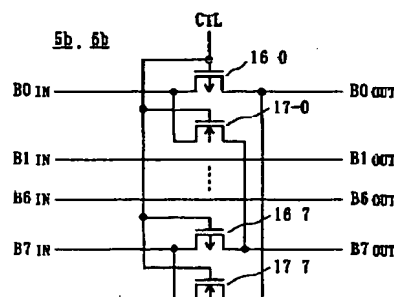
【図5】 本発明の第4の実施の形態を示すデータ変換回路の回路図である。

【図6】 従来の半導体集積回路のブロック図である。

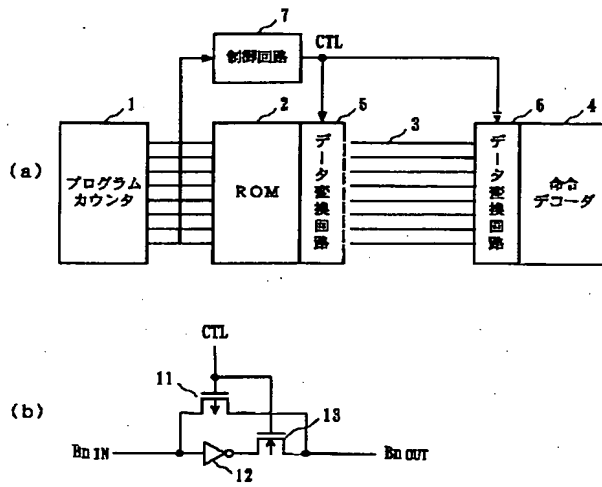
【符号の説明】

1…プログラムカウンタ、2…ROM、3…バス、4…命令デコーダ、5、6、5a、6a、5b、6b、5c、6c…データ変換回路、7…制御回路、11、14-0～14-7、16-0、16-7、18-0～18-7、21-0～21-7…Pチャネルトランジスタ、13、15-0～15-7、17-0、17-7、19-0～19-7、22-0～22-7…Nチャネルトランジスタ、20、23…シフトレジスタ。

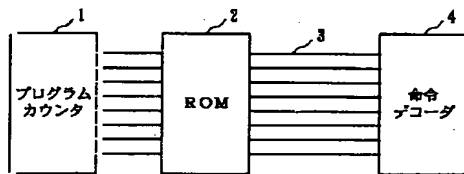
【図3】



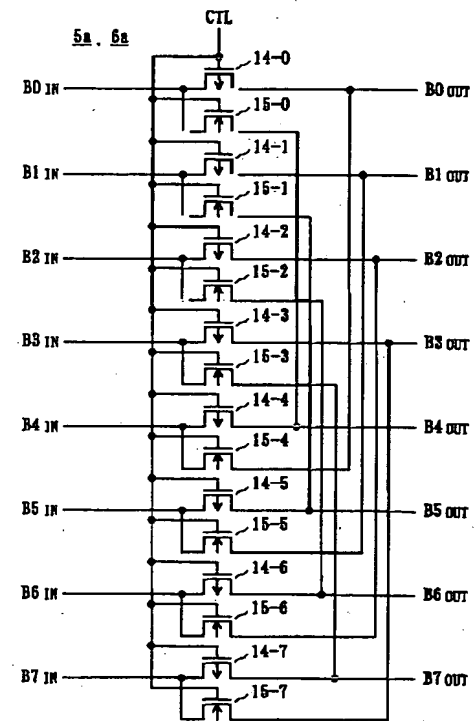
【図1】



【図6】

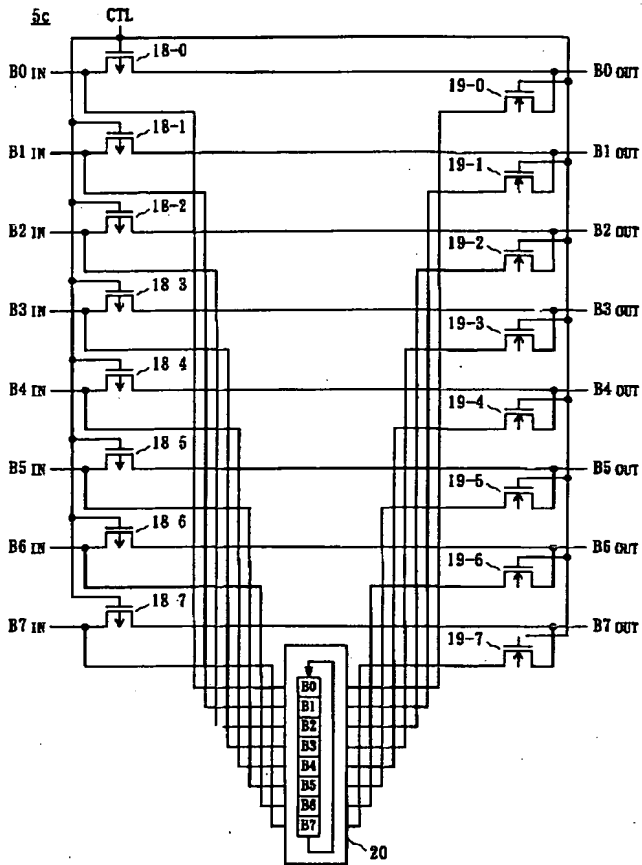


【図2】

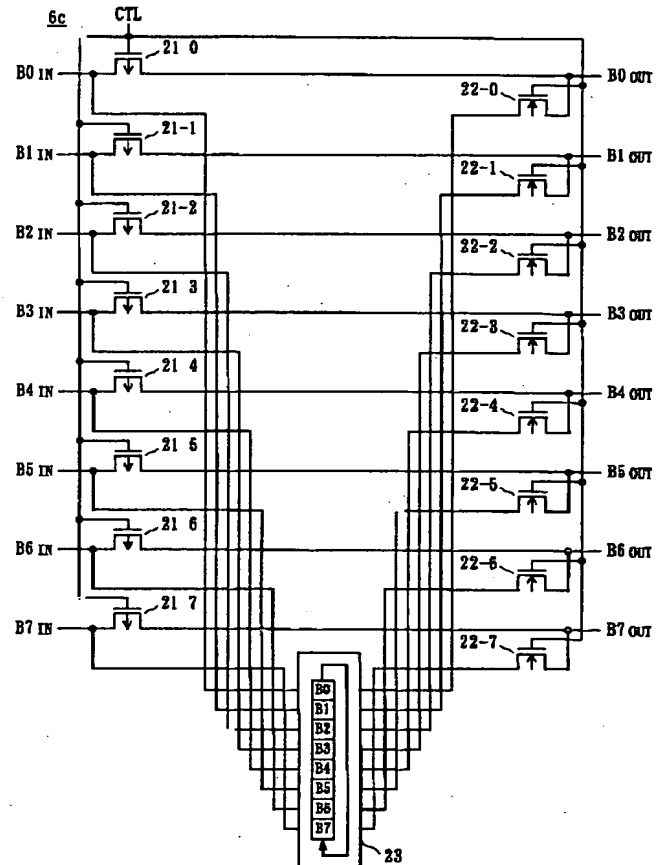




【図4】



【図5】



## 【手続補正書】

【提出日】平成11年4月9日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体集積回路

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数ビットのデータを出力する第1の回路と前記データを受け取る第2の回路との間がバスで接続された半導体集積回路において、第1の回路とバスとの間に設けられ、第1の回路から出力されたデータを第1の変換規則で変換してバスに出力する第1のデータ変換回路と、

バスと第2の回路との間に設けられ、バスから出力されたデータを第2の変換規則で変換して元のデータに戻し第2の回路に出力する第2のデータ変換回路とを有することを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、

前記第1の回路はメモリであり、

第1の回路からデータを読み出すためのアドレス信号に基づいて、前記第1、第2のデータ変換回路に前記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有することを特徴とする半導体集積回路。

【請求項3】 請求項1記載の半導体集積回路において、

第3の回路からの命令に基づいて、前記第1、第2のデータ変換回路に前記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有することを特徴とする半導体集積回路。

【請求項4】 請求項1記載の半導体集積回路におい

て、

前記第1、第2のデータ変換回路は、前記第1、第2の変換規則として論理反転を行うものであることを特徴とする半導体集積回路。

【請求項5】 請求項1記載の半導体集積回路において、

前記第1、第2のデータ変換回路は、前記第1、第2の変換規則として上位の複数ビットと下位の複数ビットの入れ替えを行うものであることを特徴とする半導体集積回路。

【請求項6】 請求項1記載の半導体集積回路において、

前記第1、第2のデータ変換回路は、前記第1、第2の変換規則として最上位ビットと最下位ビットの入れ替えを行うものであることを特徴とする半導体集積回路。

【請求項7】 請求項1記載の半導体集積回路において、

前記第1のデータ変換回路は、前記第1の変換規則として所定のビット数の左又は右ローテートを行うものであり、

前記第2のデータ変換回路は、前記第2の変換規則として第1の変換規則と逆方向の所定のビット数の右又は左ローテートを行うものであることを特徴とする半導体集積回路。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段】本発明は、請求項1に記載のように、複数ビットのデータを出力する第1の回路と上記データを受け取る第2の回路との間がバスで接続された半導体集積回路において、第1の回路とバスとの間に設けられ、第1の回路から出力されたデータを第1の変換規則で変換してバスに出力する第1のデータ変換回路と、バスと第2の回路との間に設けられ、バスから出力されたデータを第2の変換規則で変換して元のデータに戻し第2の回路に出力する第2のデータ変換回路とを有するものである。このように、第1の回路から出力されたデータを第1のデータ変換回路で変換してバスに出力し、バスから出力されたデータを第2の変換回路で変換して元のデータに戻すことにより、バス上を流れるデータを本来のデータとは異なるものにすることができる。また、請求項2に記載のように、上記第1の回路はメモリであり、第1の回路からデータを読み出すためのアドレス信号に基づいて、上記第1、第2のデータ変換回路に上記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有するものである。また、請求項3に記載のように、第3の回路からの命令に基づいて、上記第1、第2のデータ変換回路に上記データ変換を行わせるか或いは入力データをそのまま出力させるかを決定する制御回路を有するものである。